

CLIPPEDIMAGE= JP408153810A

PAT-NO: JP408153810A

DOCUMENT-IDENTIFIER: JP 08153810 A

TITLE: NONVOLATILE MEMORY HAVING TWO LAYER FLOATING GATE  
STRUCTURED MULTIBIT  
CORRESPONDING CELL AND PROGRAMMING METHOD THEREOF

PUBN-DATE: June 11, 1996

INVENTOR-INFORMATION:

NAME

KOJIMA, TOSHIAKI

ASSIGNEE-INFORMATION:

NAME

NIPPON MOTOROLA LTD

COUNTRY

N/A

APPL-NO: JP06293344

APPL-DATE: November 28, 1994

INT-CL (IPC): H01L021/8247;H01L029/788 ;H01L029/792  
;G11C016/02 ;G11C016/04

ABSTRACT:

PURPOSE: To enable the load resistance and the parasitic capacitance made in case of reading to be suppressed by a method wherein plural numbers of bias gates laminated in the second respective floating gates.

CONSTITUTION: The polysilicon gates (erasing gates) 7<SB>1</SB>, 7<SB>2</SB> are laminated through the intermediary of the oxides on the drain 3 side end part of the first floating gate 4A halfway of the second drain 3 side of the second floating gates 4B<SB>1</SB>, 4B<SB>2</SB>. On the other hand, polysilicon gates (bias gates) 8<SB>1</SB>, 8<SB>2</SB> are laminated likewise

through the oxide erasing gates 7<SB>1</SB>, 7<SB>2</SB>.  
Accordingly the  
programming and erasing can be performed by tunneling to  
shorten the channel  
length thereby enabling the load resistance and the  
parasitic capacitance made  
in case of reading-out data to be suppressed without  
decreasing the reading-out  
rate.

COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-153810

(43)公開日 平成8年(1996)6月11日

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8247  
29/788  
29/792

H 0 1 L 29/ 78 3 7 1

G 1 1 C 17/ 00 3 0 7 D

審査請求 未請求 請求項の数7 O L (全 11 頁) 最終頁に続く

(21)出願番号 特願平6-293344

(22)出願日 平成6年(1994)11月28日

(71)出願人 000230308

日本モトローラ株式会社

東京都港区南麻布3丁目20番1号

(72)発明者 小島 敏明

東京都港区南麻布3丁目20番1号日本モ  
トローラ株式会社内

(74)代理人 弁理士 藤村 元彦

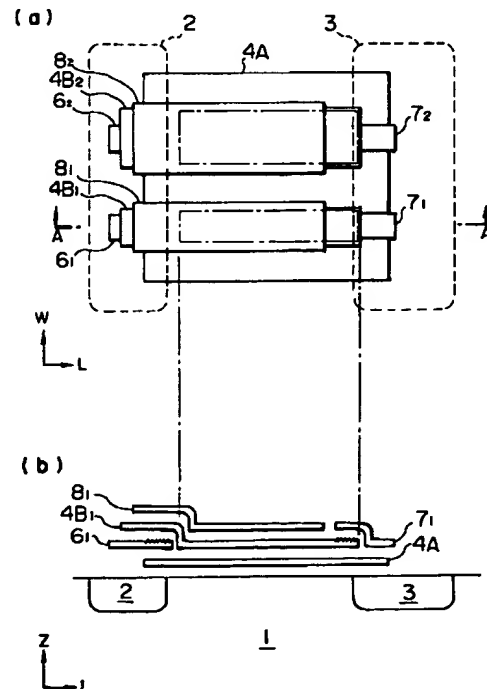
(54)【発明の名称】 2層フローティングゲート構造のマルチビット対応セルを有する不揮発性メモリ及びそのプログラム方法

(57)【要約】

【目的】 データ読出速度を落とさずにメモリ記憶容量の増大化に寄与する。

【構成】 ソース2及びドレイン3と、半導体基板1上のソースからドレインに亘って積層された単一の第1フローティング(浮遊)ゲート4Aと、第1浮遊ゲートに対向しソース側からドレイン側に亘って積層され互いに離隔して配された複数の第2浮遊ゲート4B1、4B2と、ソース側において第2浮遊ゲート各々と第1浮遊ゲートとの間に介在する複数のプログラムゲート61、62と、第2浮遊ゲート各々のドレイン側端部に積層された複数の消去ゲート71、72と、第2浮遊ゲート各々に積層された複数のバイアスゲート81、82とからなるセルトランジスタを有する不揮発性メモリ。

【効果】 トンネリングによるプログラム及び消去が適用され、ソース・ドレイン間を被って第1浮遊ゲートが形成されるので、読出時に生じる負荷抵抗及び寄生容量を抑え、読出速度を落とすことがない。



1

## 【特許請求の範囲】

【請求項1】 半導体基板に互いに離隔して形成されたソース及びドレインと、前記半導体基板上の前記ソースから前記ドレインに亘って配された単一の第1のフローティングゲートと、前記第1のフローティングゲートに対向し前記ソース側から前記ドレイン側に亘って配されかつ互いに離隔して配された複数の第2のフローティングゲートと、前記ソース側において前記第2のフローティングゲートの各々と前記第1のフローティングゲートとの間に介在する複数のプログラムゲートと、前記第2のフローティングゲートの各々の前記ドレイン側端部に配された複数の消去ゲートと、前記第2のフローティングゲートの各々に配された複数のバイアスゲートとからなる記憶セルトランジスタを有することを特徴とする2層フローティングゲート構造のマルチビット対応セルを有する不揮発性メモリ。

【請求項2】 前記第1のフローティングゲートの一方の側端部は前記ソースと絶縁物を介して重なり、前記第1のフローティングゲートの他方の側端部は前記ドレインと酸化物を介して重なっていることを特徴とする請求項1記載の不揮発性メモリ。

【請求項3】 前記プログラムゲートの前記第2のフローティングゲートへの対向面、及び前記第2のフローティングゲートの前記消去ゲートへの対向面はそれぞれ突起を有することを特徴とする請求項1記載の不揮発性メモリ。

【請求項4】 前記第2のフローティングゲートは、前記第1のフローティングゲートとの対向面の面積がそれぞれ異なることを特徴とする請求項1、2または3記載の不揮発性メモリ。

【請求項5】 前記第2のフローティングゲートは、前記第1のフローティングゲートと対向する位置において前記第1のフローティングゲートからの距離がそれぞれ異なることを特徴とする請求項1、2または3記載の不揮発性メモリ。

【請求項6】 請求項1、2、3、4または5記載の不揮発性メモリをプログラムする方法であって、前記バイアスゲートに正の高電圧を印加し、前記プログラムゲート及び前記消去ゲートを所定基準電位に設定し、これにより生じたトンネル電流によるエレクトロンを前記第2のフローティングゲートに注入することを特徴とするプログラム方法。

【請求項7】 請求項1、2、3、4または5記載の不揮発性メモリを消去する方法であって、前記消去ゲートに正の高電圧を印加し、前記バイアスゲート及び前記プログラムゲートを所定基準電位に設定することを特徴とする消去方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、不揮発性メモリに関

2

し、特にフローティングゲート構造を有するトランジスタにより記憶セルが構成されるメモリに関する。

## 【0002】

【従来の技術】フローティングゲート及びコントロールゲートを有するトランジスタからなる記憶セルにより構成される不揮発性メモリとして、例えば「S.Keeny et al., "Complete Transient Simulation of Flash E<sup>2</sup>PROM Devices" IEEE ED-39, No.12DEC, 1992」に記載されたものがある。この記憶セルの基本的構成は図1に示される。

【0003】図1において、記憶セルは、不純物半導体である例えばp形シリコンからなる基板1に形成されたソース2及びドレイン3と、このソース、ドレイン間チャンネルに沿ってかつその上方に配され例えば酸化物等の絶縁物により包囲されたフローティングゲート4と、このゲート4の上方に該酸化物を隔てて形成されたコントロールゲート5とを有するMOS型の電界効果トランジスタ（いわゆるSAMOSTランジスタに代表される）からなる。図1（a）は、このセルの書き込みすなわちプログラムの様子を示しており、ゲート電圧 $V_G$ 及びドレイン電圧 $V_D$ を高レベルとするとホットエレクトロンが発生し、これをフローティングゲート4に蓄積する。図1（b）は、セルの記憶情報の消去の様子を示しており、ソース電圧 $V_S$ を高レベルとすることによりフローティングゲート4に蓄積されたエレクトロンをソース2へ引き込み、フローティングゲート4にホールを蓄積した状態にする。すなわち、フローティングゲート4中のキャリアを制御することによって、1つのセルにおける情報記憶状態をつくる。例えばプログラム状態が論理「0」に、消去状態が論理「1」に割り当てられる。

【0004】このようにして記憶状態の定められるメモリセルの、プログラム状態と消去状態におけるドレイン電流 $I_D$ —ゲート電圧 $V_G$ の特性が、図2に示される。しかしながら、このようなセルにおいては、1つのセルは2つの状態しかとり得ず、従って2値の情報（すなわち2進データの1ビット）しか記憶することができないので、今日のメモリの記憶容量の増大化には不利な側面も有する。一方、データの高速処理をなすシステムに適用する場合にはメモリ記憶データの読み出し速度にも配慮する必要性もある。

## 【0005】

【発明が解決しようとする課題】本発明は、上述した点に鑑みてなされたものであり、その目的とするところは、記憶データの読み出し速度を犠牲にすることなくメモリの記憶容量の増大化に寄与し得る不揮発性メモリ及びそのプログラム方法を提供することにある。

## 【0006】

【課題を解決するための手段】本発明による不揮発性メモリは、半導体基板に互いに離隔して形成されたソース及びドレインと、前記半導体基板上の前記ソースから前

記ドレインに亘って配された単一の第1のフローティングゲートと、前記第1のフローティングゲートに対向し前記ソース側から前記ドレイン側に亘って配されかつ互いに離隔して配された複数の第2のフローティングゲートと、前記ソース側において前記第2のフローティングゲートの各々と前記第1のフローティングゲートとの間に介在する複数のプログラムゲートと、前記第2のフローティングゲートの各々の前記ドレイン側端部に配された複数の消去ゲートと、前記第2のフローティングゲートの各々に配された複数のバイアスゲートとからなる記憶セルトランジスタを有することを特徴としている。

【0007】本発明による上記メモリのプログラム方法は、前記バイアスゲートに正の高電圧を印加し、前記プログラムゲート及び前記消去ゲートを所定基準電位に設定し、これにより生じたトンネル電流による電子を前記第2のフローティングゲートに注入することを特徴としている。本発明による上記メモリの消去方法は、前記消去ゲートに正の高電圧を印加し、前記バイアスゲート及び前記プログラムゲートを所定基準電位に設定することを特徴としている。

【0008】

【作用】本発明の2層フローティングゲート構造のマルチビット対応セルを有する不揮発性メモリ及びそのプログラム方法によれば、第2フローティングゲートがそれぞれデータビットに対応するキャリアを蓄積し、第1フローティングゲートが全ての第2フローティングゲートに蓄積されたキャリアの総和量に応じてドレイン電流の閾値を定める。また、正の高電圧を印加されるバイアスゲートと、所定基準電位に設定されるプログラムゲート及び消去ゲートとによって、トンネル電流による電子が第2のフローティングゲートに注入される。また、正の高電圧を印加される消去ゲートと、所定基準電位に設定されるバイアスゲート及びプログラムゲートとによって、第2フローティングゲートに注入された電子が放出される。

【0009】

【実施例】以下、本発明を図面を参照しつつ詳細に説明する。図3は、本発明による一実施例の不揮発性メモリの記憶セルの構造を示しており、図1と同等の部分には同一の符号が付されている。図3において、かかる記憶セルのトランジスタは、不純物半導体である例えばp形シリコンからなる基板1に形成されたソース2及びドレイン3と、このソース・ドレイン間チャネルに沿ってかつその上方に配され（もしくは間において積層され）酸化物により包囲された第1のフローティングゲート4Aと、この長手状ゲート4Aの上方に形成され（もしくは間において積層され）互いに隔離して配されかつ酸化物により包囲された少なくとも2つの第2のフローティングゲート4B<sub>x</sub>（x=1, 2, 3, …, n）とを有する。第1及び第2のフローティングゲートは、例えばポ

リシリコンからなり、SiO<sub>2</sub>で包囲される。

【0010】第2のフローティングゲートは、後述するプログラミング法によって個々に電子のチャージすなわち情報のプログラムが行われるとともに、紫外線照射による消去法等の所定の消去法によって、チャージされた電子の放出すなわち情報の消去が行われる。また、後述によって明らかになるように、第2のフローティングゲート各々にチャージされたキャリアによって、ドレイン電流I<sub>D</sub>のレベルが制御される。故に、第2フローティングゲートの各々と、記憶すべきデータのビットとを個別に対応させ、当該ビットデータに応じて第2フローティングゲートへのキャリアのチャージを行うことにより、その第2フローティングゲートの数と同じビット数のデータを記憶することが可能となる。

【0011】より詳しくかつ簡明に説明するため、図4を用いる。図4は、図3の構造を基本にして第2のフローティングゲートを2つにして構成した場合の記憶セルの構造を示しており、図3と同等の部分には同一の符号が付されている。図4において、ソース2寄りの第2フローティングゲート4B<sub>1</sub>は、ドレイン3寄りの第2フローティングゲート4B<sub>2</sub>よりも、第1フローティングゲート対向面及びその反対側の面においてキャリアをチャージするための有効面積が小さく形成されている。これら両フローティングゲートは、それぞれチャージ可能なキャリアの量がその有効面積に応じて設定されるのである。図5に示されるように、ゲート4B<sub>1</sub>とゲート4B<sub>2</sub>とで、ニュートラルな状態の場合を論理「1」、電子をチャージした場合を論理「0」とすると、このセルにおいては4通りの状態が得られる。

【0012】このときのドレイン電流I<sub>D</sub>－ドレイン電圧V<sub>D</sub>の特性が図6に示される。これによれば、ドレイン電圧に対して得られる4通りのドレイン電流値は、全て異なり、第2フローティングゲート4B<sub>2</sub>の該有効面積が4B<sub>1</sub>よりも所定値だけ大なる故に図5の表においてドレイン電流の状態を示す符号3、1、4、2の順に、得られるドレイン電流値が下がり、もって1つのセルにおいて4種類の記憶状態が得られることが分かる。同様に、図3におけるn個の第2フローティングゲートの有効面積をそれぞれ異ならしめれば、2<sup>n</sup>種類の記憶状態が得られるのである。

【0013】こうした態様をさらに詳しく分析すれば、次のようになる。先ず、上記図3の記憶セルの等価回路を図7に示す。この等価回路は、第2フローティングゲート（FG2）と第1フローティングゲート4Aとの間の酸化物の各々が、電圧V<sub>x</sub>、電荷Q<sub>x</sub>を有するキャパシタンスC<sub>x</sub>（x=1, 2, …, n）に置き換えられるとともに、これらキャパシタンスの一端が第1フローティングゲート4A（FG1）においてそれぞれ共通接続されさらに基板1のソース・ドレイン間チャネルと第1

5

6

フローティングゲート4Aとの間が電圧 $V_0$ 、電荷 $Q_0$ を有するキャパシタンス $C_0$ によって結ばれる如く形成される。

フローティングゲートの全てに蓄積される電荷の総量 $Q_{FG2}$ は、  
【0015】  
【数1】

【0014】かかる等価回路において、第2フローティ

$$Q_{FG2} = \sum_{i=1}^n Q_i = \sum_{i=1}^n C_i (V_i - V_0) \quad \dots\dots (1)$$

【0016】で表される。また、第1フローティングゲート4Aに蓄積される電荷の総量 $Q_0$ は、  
※【0017】  
※【数2】

$$Q_0 = C_0 (V_0 - V_{sub}) \quad \dots (2)$$

；但し、 $V_{sub}$ は半導体基板1の電位

★【0018】

で表される。電荷保存の法則により

★【数3】

$$Q_{FG2} = Q_0 \quad \dots (3)$$

であるので、第1フローティングゲート4Aの電圧は、

☆【数4】

【0019】

☆

$$V_0 = (\sum_{i=0}^n C_i V_i + C_0 V_{sub}) / \sum_{i=0}^n C_i \quad \dots\dots (4)$$

【0020】により定められる。ドレイン電流がオンとなる（立ち上がる）閾値状態にあるとき、基板1のソース・ドレイン間表面電位は、 $2\phi_f$ （ $\phi_f$ は禁制帯中央のエネルギー $E_i$ とフェルミ準位 $E_f$ との差）に変わり  
◆（従って $V_{sub} = 2\phi_f$ ）、第1フローティングゲートのスレッショルド電圧 $V_{thFG1}$ は、  
【0021】  
◆【数5】

$$V_{thFG1} = (\sum_{i=0}^n C_i V_i + C_0 \cdot 2\phi_f) / \sum_{i=0}^n C_i \quad \dots\dots (5)$$

【0022】で表すことができる。そして $Q_0$ は、空乏状態の電荷 $Q_{dep}$ と等しくなり、  
※【0023】  
※【数6】

$$C_0 (V_{thFG1} - 2\phi_f) = \sqrt{2\epsilon_s q N_{sub} \cdot 2\phi_f} \quad \dots\dots (6)$$

$$V_{thFG1} = 2\phi_f + \sqrt{2\epsilon_s q N_{sub} \cdot 2\phi_f} / C_0 \quad \dots\dots (7)$$

；但し、 $\epsilon_s$ は半導体基板1の誘電率、

$q$ は電子の素電荷量、

$N_{sub}$ は半導体基板1の不純物濃度

【0024】が満たされる。ドレイン電流のオン状態では、 $V_0 > V_{thFG1}$ であり、第1フローティングゲート4Aの電圧は、  
※【0025】  
【数7】  
※40

$$V_{thFG1} = 2\phi_f + \sqrt{2\epsilon_s q N_{sub} \cdot 2\phi_f} / C_0 \quad \dots\dots (8)$$

【0026】である。ドリフトチャネル電流は、

★【数8】

【0027】

★

$$I_D = \mu Q_N E \quad \dots (9)$$

；但し、 $\mu$ は電子移動度、 $E$ はチャネル横方向電界

☆【0028】

と表すことができる。 $Q_N$ は、反転層の電荷を表しており、

【数9】

☆

$$Q_N = C_0 (V_0 - V_{thFG1} - V) \quad \dots (10)$$

；但し、 $V$ はチャネル電圧

◆50◆【0029】

【数10】

$$I_D = \mu W C_0 (V_0 - V_{th_{F01}} - V) \cdot \frac{dV}{dy} \quad \dots\dots(11)$$

; 但し、Wはチャネル幅、

dyはチャネル方向微分長

【0030】と書くことができる。ソースからドレイン \* 【0031】  
までのチャネル電流を積分すると、 \* 【数11】

$$\int_0^L I_D dy = \int_0^{V_D} \mu W C_0 (V_0 - V_{th_{F01}} - V) dV \quad \dots\dots(12)$$

; 但し、Lは実効チャネル長

【0032】

※ ※ 【数12】

$$I_D = \frac{W}{L} \cdot \mu C_0 \{ (V_0 - V_{th_{F01}}) V_D - 0.5 V_D^2 \} \quad \dots\dots(13)$$

【0033】となる。かくして、(5)式からも明らかなように、ドレイン電流を流すための第1フローティングゲートの閾電圧は、第2フローティングゲートに帯電する電荷の和で決定されることとなる。つまり第1フローティングゲートは、全ての第2フローティングゲートに蓄積された電荷の総和に基づき、間接的にセルトランジスタの動作を決定する役割を果たす。付言すれば、第1フローティングゲート4Aがあることにより、1つのセルトランジスタで、異なる閾電圧を扱うことを可能にしている。またこのような電荷の加算すなわち信号の加算を容量結合(静電結合)による電圧モードにて行っているため、電荷そのものが動く必要性がなく、その加算に費やされる電力は0に等しいと言える。図4の例では、第2フローティングゲートの有効面積を異ならしめ、キャリア蓄積量すなわちキャパシタンス $C_1$ 、 $C_2$ の値を各ゲートで変え、いわゆる重み付けを行ったことにより、4つの加算結果を得ている。そして同様に、図3におけるn個の第2フローティングゲートの有効面積をそれぞれ異ならしめれば、 $2^n$ 種類の記憶状態が得られることとなる。

【0034】一方、第2フローティングゲート4B<sub>1</sub>及び4B<sub>2</sub>の面積を互いに同一にして構成し、さらに等しいバイアスにおいて各第2フローティングゲートにエレクトロンを注入した場合は、図5のドレイン電流の状態1と4とで同等のドレイン電流値が得られ、1つのセルにおいて3通りの状態しか得られなくなるが、この場合でも1つのセルで3つ以上の状態をつくることのできる点では有効性がある。但し、入力データのビット数の2に対して3つの記憶状態しか得られない点でこれを補う必要がある。

【0035】図8は、図4の構造の変形例であり、第2フローティングゲートの各々において上述の如き有効面積を互いに同一とするとともに、一方の第2フローティ★50

★ングゲート4B<sub>1</sub>から第1フローティングゲート4Aまでの距離よりも、他方の第2フローティングゲート4B<sub>2</sub>から第1フローティングゲート4Aまでの距離の方が長く設定されている。つまり $d_1 < d_2$ としている。このような構造にしても、各第2フローティングゲートのキャリア蓄積能力が異なるので、上述の図5及び図6の如き4つの記憶状態をつくることのできる。そして同様に、図3におけるn個の第2フローティングゲートの第1フローティングゲート4Aまでの距離をそれぞれ異ならしめれば、図7の等価回路におけるキャパシタンス $C_1$ ないし $C_n$ の値を異ならしめることができ、 $2^n$ 種類の記憶状態が得られることとなる。

30 【0036】なお、 $C_1$ ないし $C_n$ の値は、その電極面積すなわち各ゲートの対向面積や、その電極間隔すなわち各ゲート間距離だけでなく、各ゲート間の媒介物質の特性にも依存する。従って記憶セルを構成する際にこれらキャパシタンスの値を定めるパラメータのいずれかを所望に設定すれば良い。また、先に示した図6のように、ドレイン電流特性が記憶状態の各々で全て異なるためには、 $C_1$ ないし $C_n$ の値のみならず $Q_1$ ないし $Q_n$ の値を、 $2^{n-1}$ 種類の $V_{th_{F01}}$ の値が得られるよう設定すれば良い。 $Q_1$ ないし $Q_n$ の値は、プログラム時に個々の第2フローティングゲートへエレクトロンを注入する際の各注入エネルギーによって決まる。

【0037】これまでは、1つのセルにおいて、単一の第1フローティングゲートに間を置いて積層されかつ適当なサイズ(すなわちキャリア蓄積能力)を有する第2フローティングゲートを複数設け、これらに各々ビットデータに応じたキャリアを蓄積すれば、1つのセルに複数のデータビットを担わすことができることを説明したが、以下では、具体的なキャリアの蓄積法すなわちプログラミング法及び消去法について説明する。

【0038】図9は、いわゆるトンネリングを使って2

つの第2フローティングゲートの各々に対しプログラム及び記憶データの消去を行うようにした記憶セルの構造を示している。(a)は当該セルの平面図であり、(b)は(a)におけるA-A断面図である。また、これら図において図4の構造と等価な部分には同一の符号が付されている。

【0039】図9において、ソース2とドレイン3は、基板1にL方向において互いに離隔して形成される。例えばポリシリコンからなる第1のフローティングゲート4Aは、SiO<sub>2</sub>などの酸化物により包囲されるとともに、ソース2のドレイン側端部からドレイン3のソース側端部に亘って間をおいて積層され、また当該L方向に垂直なW方向にも広がる方形状に形成される。すなわち、第1フローティングゲート4Aの一方の辺を含む端部はソース2のドレイン側端部と酸化物を介して重なり、第1フローティングゲート4Aの当該一方の辺に相対する他方の辺を含む端部はドレイン3のソース側端部と酸化物を介して重なるよう形成される。この第1フローティングゲート4Aの上方(Z方向)には、ドレイン3上からソース2上に亘って長手状に、例えばポリシリコンによって形成された第2のフローティングゲート4B<sub>1</sub>及び4B<sub>2</sub>が、それぞれ酸化物により包囲され、第1のフローティングゲート4Aに対向しかつ互いに離隔して配される。ソース2側において、第2のフローティングゲート4B<sub>1</sub>及び4B<sub>2</sub>と第1のフローティングゲート4Aの間にはポリシリコンゲート(以下、プログラムゲートと称する)6<sub>1</sub>、6<sub>2</sub>が介在する。従って第2のフローティングゲート4B<sub>1</sub>及び4B<sub>2</sub>は、ソース2側において第2のフローティングゲート4B<sub>1</sub>、4B<sub>2</sub>とともにプログラムゲート6<sub>1</sub>、6<sub>2</sub>をそれぞれ挟む形となる。第2のフローティングゲート4B<sub>1</sub>及び4B<sub>2</sub>のドレイン3側端部には、その中途まで第1フローティングゲート4Aのドレイン3側端部に酸化物を介して積層されるポリシリコンゲート(以下、消去ゲートと呼ぶ)7<sub>1</sub>、7<sub>2</sub>が、それぞれ酸化物を介して積層される。第2のフローティングゲート4B<sub>1</sub>及び4B<sub>2</sub>の上方には、消去ゲート7<sub>1</sub>、7<sub>2</sub>の積層部を除きポリシリコンゲート(以下、バイアスゲートと称する)8<sub>1</sub>、8<sub>2</sub>が酸化物を介して積層する。

【0040】プログラムゲート6<sub>1</sub>、6<sub>2</sub>の表面は、第2のフローティングゲート4B<sub>1</sub>、4B<sub>2</sub>との重なり部分において突起状(アスペリティ)になっている。第2のフローティングゲート4B<sub>1</sub>、4B<sub>2</sub>の表面も、消去ゲート7<sub>1</sub>、7<sub>2</sub>との重なり部分において突起状になっている。これら突起状部分は後述するプログラム及び消去モードにおいて主要な役割を果たす。また、第2フローティングゲート4B<sub>1</sub>及び4B<sub>2</sub>は、図4において説\*

$$C_{11}(V_5 - V_3)$$

$$= C_{12}(V_3 - V_2) + C_{13}(V_3 - V_4) + C_{145}(V_3 - V_{SUB}) \cdots (21)$$

となる。ここで、 $V_2 = V_4 = V_{SUB} = 0$  [V]であるの ※50※で、

\*明した如き有効面積を、W方向における幅により設定されている。第2のフローティングゲート4B<sub>1</sub>はプログラムゲート6<sub>1</sub>、消去ゲート7<sub>1</sub>、バイアスゲート8<sub>1</sub>と、第2のフローティングゲート4B<sub>2</sub>はプログラムゲート6<sub>2</sub>、消去ゲート7<sub>2</sub>、バイアスゲート8<sub>2</sub>と、入力ビットすなわち第2フローティングゲートに個別のプログラムを行うためにそれぞれ1組の1ビット対応ブロックを成している。

【0041】この記憶セルトランジスタの前者の1ビット対応ブロックの等価回路を図10に示す。先ず図10に示されるように、バイアスゲート8<sub>1</sub>と第2のフローティングゲート4B<sub>1</sub>との間の酸化物はキャパシタC<sub>11</sub>に、第2のフローティングゲート4B<sub>1</sub>とプログラムゲート6<sub>1</sub>との間の酸化物はキャパシタC<sub>12</sub>に、消去ゲート7<sub>1</sub>と第2のフローティングゲート4B<sub>1</sub>との間の酸化物はキャパシタC<sub>13</sub>に、第2フローティングゲート4B<sub>1</sub>と第1のフローティングゲート4Aとの間の酸化物はキャパシタC<sub>14</sub>に、第1のフローティングゲート4Aと基板1との間の酸化物はキャパシタC<sub>15</sub>に、それぞれ置き換えることができる。これをさらに書き直し、後述のI. プログラムモード及びII. 消去モードを説明するために描かれたのが図11及び図15の回路図である。

【0042】ここで、第2フローティングゲート4B<sub>1</sub>に蓄積される電荷量は、各キャパシタのカップリングによって定まる。例えばキャパシタC<sub>14</sub>の値は、図10に示される如き酸化膜の厚さ $t_{ox}$ 及びそのキャパシタを形成する電極面積すなわち第1フローティングゲート4B<sub>1</sub>と第2フローティングゲート4Aとの重複面積(図9(a)において破線枠にて画定される面積)でほぼ決まる。従って、この厚さもしくは面積を第2フローティングゲート毎に変えて設定すれば、図4及び図8において説明した重み付けをなすことができる。他にもC<sub>14</sub>以外のキャパシタンスを変えることにより重み付けを異ならせることもできる。

【0043】I. プログラムモード

上記記憶セルトランジスタにプログラム(エレクトロンの注入)を行う方法を図11を参照して説明する。なお図11においては各電極(ゲート)の電位V<sub>1</sub>~V<sub>5</sub>及び基板1の電位V<sub>SUB</sub>が示されている。先ず、バイアスゲート8<sub>1</sub>に正の高電圧V<sub>5</sub>を印加する。そしてこれと同時にプログラムゲート6<sub>1</sub>と消去ゲート7<sub>1</sub>を所定基準電位としてのグランドレベル(0 [V])に落とす。

【0044】ここで電荷保存の式を適用すると、

【0045】

【数13】



11

12

【0046】

\* \* 【数14】

$$V_3 (C_{11} + C_{12} + C_{13} + C_{145}) = C_{11} V_5 \quad \dots (22)$$

となり、よって

※ 【数15】

【0047】

※

$$V_3 = V_5 \cdot C_{11} / (C_{11} + C_{12} + C_{13} + C_{145}) \quad \dots (23)$$

を得る。さらに、例えば、バイアスゲート8<sub>1</sub>と上層フローティングゲート4B<sub>1</sub>との間の酸化膜厚 $t_1$ （図10参照）を薄くし、両者のオーバーラップ面積を大きく取り、 $C_{11} \gg C_{12} + C_{13} + C_{145}$ となるように設計すれば、(23)式は、概ね、 $V_3 = V_5$ となる。これより、第2フローティングゲート4B<sub>1</sub>とプログラムゲート6<sub>1</sub>または消去ゲート7<sub>1</sub>との間（すなわちキャパシタ $C_{12}$ または $C_{13}$ ）にはほぼ $V_5$ の電圧がかかることになる。

【0048】ここで注目すべきは、図9(b)において斜線にて示されたように、プログラムゲート6<sub>1</sub>の第2フローティングゲート4B<sub>1</sub>に対向する表面及び第2フローティングゲート4B<sub>1</sub>の消去ゲート7<sub>1</sub>に対向する表面に突起（アスペリティ）が施されていることである。このアスペリティによって、トンネル電流（エレクトロン）が、アスペリティのある側の面から無い側の面への方向に流れやすくなる（ダイオード特性）。これは、かかるアスペリティを有する面のポリシリコンでのトンネリング時の印加電圧の方がそれを有しない単なる平面のポリシリコンをトンネルさせる印加電圧より低くて済むことによる。

【0049】詳述すれば、表面がアスペリティを有するポリシリコンゲート6<sub>1</sub>と表面が平らなポリシリコンゲート4B<sub>1</sub>との間にトンネル電流の流れる閾値は、大略ダイオード特性に類似する図12のように、その間にかかる電圧 $V_3$ の方向性に関係がある。つまり、平面ポリシリコンゲートの電位がアスペリティ面ポリシリコンゲートよりも高い方がトンネルしやすい。かかる平面とアスペリティ面との間における電気力線の形成態様とエレクトロンの動きとを模式的に描けば、図13のようになる。これによれば、エレクトロンは第2フローティングゲート4B<sub>1</sub>の正電位に引かれ、アスペリティの先端に★

★集まり、ここに電界が集中するので、非常にトンネルしやすい状況になることが分かる。これに対し、消去ゲート7<sub>1</sub>と第2フローティングゲート4B<sub>1</sub>における関係を同様に描けば、図14のようになる。しかし、この場合エレクトロンは消去ゲート7<sub>1</sub>から第2フローティングゲート4B<sub>1</sub>へと移動しようとするが、電気力線はアスペリティ先端から消去ゲート7<sub>1</sub>に対し分散している。エレクトロンを引っ張る力は、電気力線が集中する程強くなるものなので、この場合はエレクトロンが消去ゲート7<sub>1</sub>へ極めて注入されにくいのである。

【0050】かくして、このアスペリティ的作用によって、バイアスゲート8<sub>1</sub>の印加電圧 $V_5$ によって持ち上げられた第2フローティングゲート4B<sub>1</sub>の正電圧によりプログラムゲート6<sub>1</sub>から第2フローティングゲート4B<sub>1</sub>へトンネル電流のエレクトロンが注入されることとなる。他のビット対応ブロックについても同様な操作を行えば、独立したプログラミングを行うことができる。

【0051】II. 消去モード

上記記憶セルトランジスタの第2フローティングゲートに帯電したキャリアに対し消去（エレクトロンの引き抜き）を行う方法を図15を参照して説明する。なお図15においても各電極（ゲート）の電位 $V_1 \sim V_5$ 及び基板1の電位 $V_{SUB}$ が示されている。

【0052】この場合、バイアスとして、消去ゲート7<sub>1</sub>に正の高電圧 $V_4$ を印加し、バイアスゲート8<sub>1</sub>とプログラムゲート6<sub>1</sub>を、所定基準電位の設定としてグランドレベル（0[V]）に落とす。かかる状況において、第2フローティングゲート4B<sub>1</sub>に蓄積される電荷は、電荷保存の式から導出され、

【0053】

【数16】

$$V_3 = C_{13} V_4 / (C_{11} + C_{12} + C_{13} + C_{145}) \quad \dots (24)$$

となる。上記と同様に、 $C_1 \gg (C_{12} + C_{13} + C_{145})$

☆立つ。

となるように設計すれば、概ね、 $V_3 = C_{13} V_4 / C_{11}$

となる。 $C_{11} \gg C_{12}$ とすれば、およそ $V_3 = 0$ となる。

【0054】これより、第2フローティングゲート4B<sub>1</sub>と消去ゲート7<sub>1</sub>の間（すなわちキャパシタ $C_{13}$ ）にはほぼ $V_4$ の電圧が印加される。よって、第2フローティングゲート4B<sub>1</sub>に帯電したエレクトロンは、消去ゲート7<sub>1</sub>に印加された正電圧 $V_4$ によって引き抜かれることとなる。この場合の消去ゲート7<sub>1</sub>と第2フローティングゲート4B<sub>1</sub>との関係にも、図12ないし図14に示したのと同様のアスペリティ効果による原理が成り☆50

【0055】なお、この例では、第2のフローティングゲートの数を2としたが、3以上であっても構わない。この場合は、図9において、ソース及びドレイン領域をW方向に広げるとともに、第1フローティングゲートもさらにW方向に延ばし、第2フローティングゲートの各々をW方向にそのサイズを変えこれと組んでビット対応ブロックを構成する他のゲートとともに配列して構成すれば良い。そしてこの場合でも同様に上述のようなプログラミングを第2フローティングゲート毎に行うことができる。

【0056】また、上記各実施例においては、半導体基

板1をp形シリコンとして説明したが、これに限定されなく、n形でも良いし、他の半導体であっても良い。また、ソースやドレインをはじめ、フローティングゲート、プログラムゲート、消去ゲート、バイアスゲート並びに他の酸化物についても、様々な材料及び形態により構成することができ、当業者の実施可能な範囲で本発明は適宜改変されることは可能である。

#### 【0057】

【発明の効果】以上詳述したように、本発明の2層フローティングゲート構造のマルチビット対応セルを有する不揮発性メモリ及びそのプログラム方法によれば、第2フローティングゲートがそれぞれデータビットに対応するキャリアを蓄積し、第1フローティングゲートが全ての第2フローティングゲートに蓄積されたキャリアの総和量に応じてドレイン電流の閾値を定めるので、1つの記憶セルで2つ以上のビットのデータをセーブすることができる。従って、単位ビット当たりの占有面積が小さくでき、ひいてはメモリ全体に要する記憶セルの数も少なくなくて済み、もってメモリの記憶容量の増大化に寄与し得ることとなる。

【0058】また、本発明によれば、正の高電圧を印加されるバイアスゲートと、所定基準電位に設定されるプログラムゲート及び消去ゲートとによって、トンネル電流によるエレクトロンが第2のフローティングゲートに注入される。また、正の高電圧を印加される消去ゲートと、所定基準電位に設定されるバイアスゲート及びプログラムゲートとによって、第2フローティングゲートに注入されたエレクトロンが放出される。

【0059】従って、かかる不揮発性メモリは、トンネリングによるプログラミング及び消去が適用され、ソースとドレインとの間を被うような形で第1フローティングゲートが形成されるので、チャネル長を短くでき、記憶データの読み出しの際に生じる負荷抵抗及び寄生容量を抑え、読み出し速度を落とすことなく実現できる。また、アナログ的に単一のフローティングゲートに複数の入力ビットデータに対応する量のキャリアを蓄積するような構造のセルトランジスタと比較しても、本発明メモリは、キャリアを蓄積する第2フローティングゲートが入力データビットに対応して独立しているため、プログラムモードにおけるキャリア蓄積制御が容易となる、という側面もある。

#### 【図面の簡単な説明】

【図1】フローティングゲート及びコントロールゲート

を有するトランジスタからなる記憶セルの基本的構成を示す断面図。

【図2】図1のメモリセルの、プログラム状態と消去状態におけるドレイン電流 $I_D$ -ゲート電圧 $V_G$ の特性図。

【図3】本発明による一実施例の不揮発性メモリの記憶セルの構造を示す断面図。

【図4】図3の構造を基本にして第2のフローティングゲートを2つにして構成した場合の記憶セルの構造を示す断面図。

【図5】図4の記憶セルの記憶状態を示す表。

【図6】図5の表における各記憶状態におけるドレイン電流 $I_D$ -ドレイン電圧 $V_D$ の特性図。

【図7】図3の記憶セルの等価回路を示す図。

【図8】図4の構造の変形例を示す断面図。

【図9】図4の構造を基本に、トンネリングを使って第2フローティングゲートの各々にキャリアを蓄積するようにした記憶セルの構造を示す平面図(a)及び断面図(b)。

20 【図10】図9の記憶セルトランジスタの1ビット対応ブロックの等価回路図。

【図11】プログラムモードにおける図9の記憶セルトランジスタの1ビット対応ブロックの等価回路図。

【図12】図9の記憶セルトランジスタにおけるアスペリティ効果を説明するための電圧-電流特性図。

【図13】図9の記憶セルトランジスタの第2フローティングゲートとプログラムゲートとにおけるプログラムモード時の電気力線の形成態様及びエレクトロンの動きを示す模式図。

30 【図14】図9の記憶セルトランジスタの消去ゲートと第2フローティングゲートとにおけるプログラムモード時の電気力線の形成態様及びエレクトロンの動きを示す模式図。

【図15】消去モードにおける図9の記憶セルトランジスタの1ビット対応ブロックの等価回路図。

#### 【符号の説明】

1 半導体基板 2 ソース

3 ドレイン

4A 第1フローティングゲート

4B<sub>1</sub> ~ 4B<sub>n</sub> 第2フローティングゲート

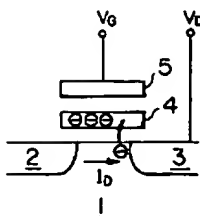
6<sub>1</sub>, 6<sub>2</sub> プログラムゲート

7<sub>1</sub>, 7<sub>2</sub> 消去ゲート

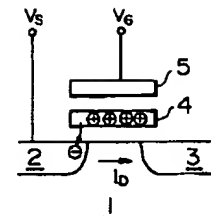
8<sub>1</sub>, 8<sub>2</sub> バイアスゲート

【図1】

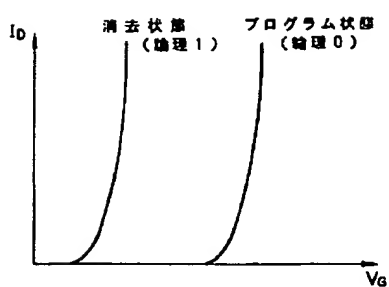
(a) プログラム状態



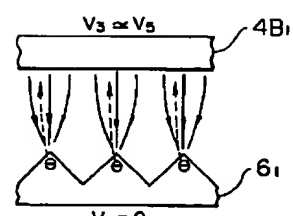
(b) 消去状態



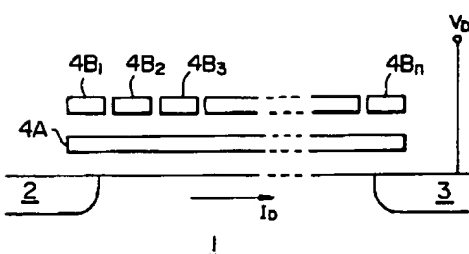
【図2】



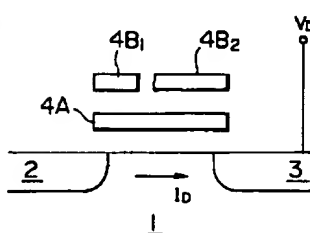
【図13】



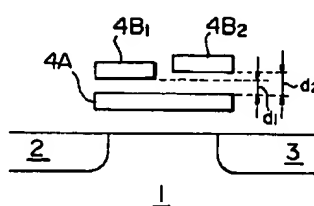
【図3】



【図4】



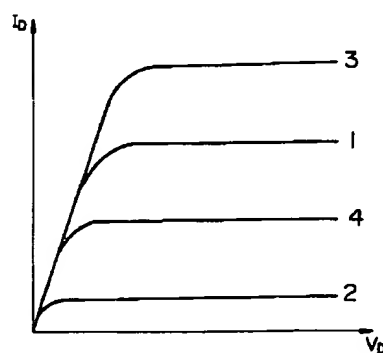
【図8】



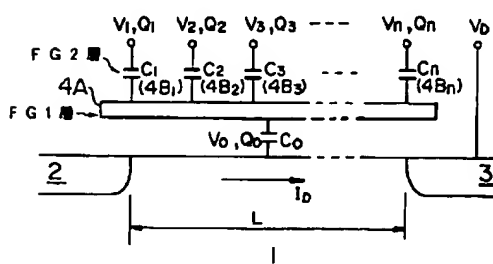
【図5】

第2 フローティ ング ゲート	ドレイン電流 の 状態	1	2	3	4
4B <sub>1</sub>		0	0	1	1
4B <sub>2</sub>		1	0	1	0

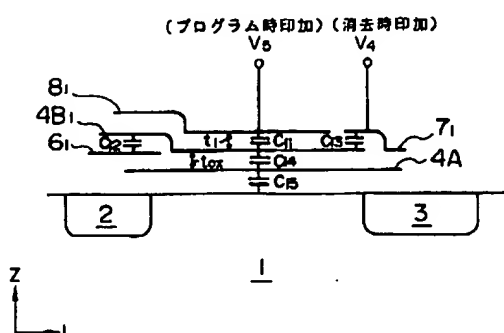
【図6】



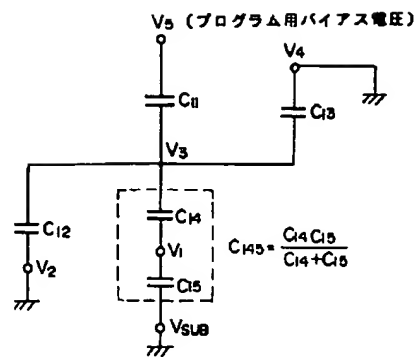
【図7】



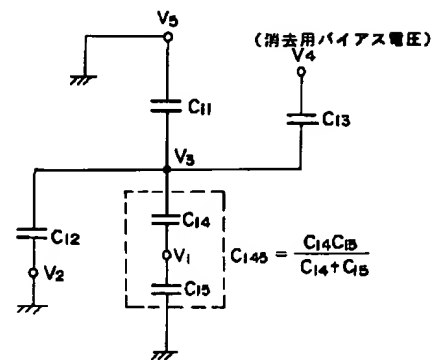
【図10】



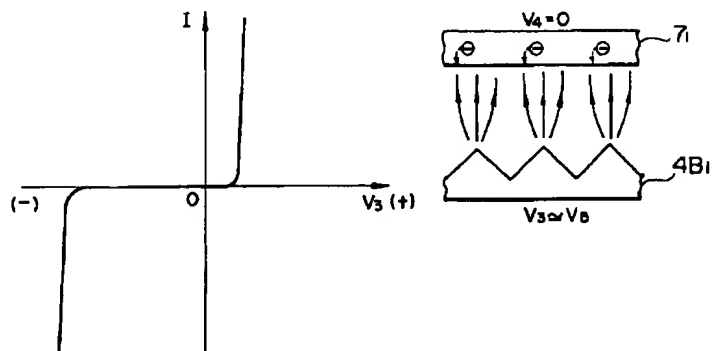
【☒ 1 1 】



【図15】



【図14】



【補正対象項目名】図5

( 1 1 )

特開平8-153810

フロントページの続き

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 16/02

16/04

G 1 1 C 17/00

3 0 8